

第 90127310 號  
初審(訴願)引証附件  
再審

中華民國專利公報 [19] [12]

[11]公告編號：451437

[44]中華民國 90 年 (2001) 08 月 21 日

發明

全 12 頁

[51] Int.Cl 06: H01L23/28

[54]名 稱：薄型球柵陣列式積體電路封裝製程

[21]申請案號：089113924

[22]申請日期：中華民國 89 年 (2000) 07 月 13 日

[72]發 明 人：

羅曉餘

吳集銓

台北市信義區莊敬路二八九巷五弄二號

台中市北屯區平德路八十二巷三十三弄一號

[71]申 請 人：

矽品精密工業股份有限公司

台中縣潭子鄉大豐路三段一二三號

[74]代 理 人：陳昭誠 先生

1

2

[57]申請專利範圍：

1. 一種積體電路封裝製程，包含以下步驟：

(1)預製一基板，其具有一正面及一背面，且其上預先定義出複數個封裝區域；

(2)預製一散熱片架，其包括複數個一體成型之散熱片，具有一正面及一背面；且其中每一個散熱片對應至該基板上之一個封裝區域；

(3)將複數個半導體晶片分別電性連接至該基板正面上之各個封裝區域上；

(4)將該散熱片架組合至該基板上，使得其中每一個散熱片置於基板上之一個半導體晶片之上方；

(5)進行一封裝膠體製程，藉以形成一連續之封裝膠體，用以封裝該些半導體晶片及該散熱片架；

(6)進行一植球製程，藉以將複數個鋁球植置於該基板之背面；以及

(7)進行一切割製程，藉此將該封裝膠

體沿該基板上之封裝區域分界線切割開來，形成個別之封裝結構體。

2. 如申請專利範圍第 1 項所述之積體電路封裝製程，其中於步驟(1)中，該基板為一 BT 基板。

3. 如申請專利範圍第 1 項所述之積體電路封裝製程，其中於步驟(1)中，該基板為一 FR4 基板。

4. 如申請專利範圍第 1 項所述之積體電路封裝製程，其中於步驟(1)中，該基板為一聚醯亞胺膠片。

5. 如申請專利範圍第 1 項所述之積體電路封裝製程，其中於步驟(2)中，該散熱片架為一凸腳式散熱片架，其背面延伸出複數個支撐腳。

6. 如申請專利範圍第 5 項所述之積體電路封裝製程，其中該凸腳式散熱片架之正面及背面均為平坦狀。

7. 如申請專利範圍第 5 項所述之積體電路封裝製程，其中該凸腳式散熱片架之

正面為平坦狀，而背面則形成有複數個突塊。

- 8.如申請專利範圍第5項所述之積體電路封裝製程，其中該凸腳式散熱片架之正面為平坦狀，而背面則形成有複數個凹穴。
- 9.如申請專利範圍第5項所述之積體電路封裝製程，其中該凸腳式散熱片架之正面為平坦狀，而背面則形成有複數個縱向及橫向交叉之溝槽。
- 10.如申請專利範圍第5項所述之積體電路封裝製程，其中該凸腳式散熱片架之正面形成有對應於各個散熱片之複數個突塊，且於每一個突塊之周圍形成有複數個通孔。
- 11.如申請專利範圍第1項所述之積體電路封裝製程，其中於步驟(2)中，該散熱片架為一無凸腳式散熱片架。
- 12.如申請專利範圍第11項所述之積體電路封裝製程，更進一步包含以下步驟：  
形成一溢膠屏障層於該無凸腳式散熱片架之一表面上；且該溢膠屏障層於該封裝製程中，係接觸於該封裝模具之模穴的底面。
- 13.如申請專利範圍第12項所述之積體電路封裝製程，其中該溢膠屏障層為一聚醯亞胺膠片。
- 14.如申請專利範圍第12項所述之積體電路封裝製程，其中該溢膠屏障層為一環氧樹脂塗佈層。
- 15.如申請專利範圍第1項所述之積體電路封裝製程，其中於步驟(3)中，係採用鉚線技術將該些半導體晶片電性連接至該基板。
- 16.如申請專利範圍第1項所述之積體電路封裝製程，其中於步驟(3)中，係採用覆晶技術將該些半導體晶片電性連接至該基板。
- 17.如申請專利範圍第5項所述之積體電

路封裝製程，其中該步驟(4)包含以下之小步驟：

- 預製一封裝模具，其具有一下凹模穴；
5. 將該散熱片架置放於該封裝模具之下凹模穴中；以及  
將該基板連同其上之半導體晶片以倒置方式置放於該封裝模具之下凹模穴中所置放之該散熱片架上。
10. 18.如申請專利範圍第5項所述之積體電路封裝製程，其中該步驟(4)包含以下小步驟：  
將該凸腳式散熱片架之支撐腳的尖端黏結至該基板之正面上。
15. 19.如申請專利範圍第18項所述之積體電路封裝製程，其中該步驟(5)中之封裝膠體製程包含以下小步驟：  
預製一封裝模具，其底部具有一上凹模穴；以及
20. 將該基板連同其上之該些半導體晶片及該散熱片架置放於該封裝模具之上凹模穴中。

圖式簡單說明：

- 第一圖 A 至第一圖 F 為結構示意圖，其用以揭露本發明之薄型球柵陣列式積體電路封裝製程之第一實施例；
- 第二圖 A 至第二圖 E 為結構示意圖，其用以揭露本發明之薄型球柵陣列式積體電路封裝製程之第二實施例；
30. 第三圖 A 至第三圖 C 為結構示意圖，其用以揭露本發明之薄型球柵陣列式積體電路封裝製程之第三實施例；
- 第四圖 A 至第四圖 B 為結構示意圖，其用以揭露本發明之薄型球柵陣列式積體電路封裝製程之第四實施例；
35. 第五圖為一立體結構示意圖，其用以顯示本發明所採用之凸腳式散熱片架之另一實施方式；
- 第六圖 A 至第六圖 C 為結構示意圖，其用以顯示本發明所採用之凸腳式
40. 圖，其用以顯示本發明所採用之凸腳式

散熱片架之另一實施方式及其用途：

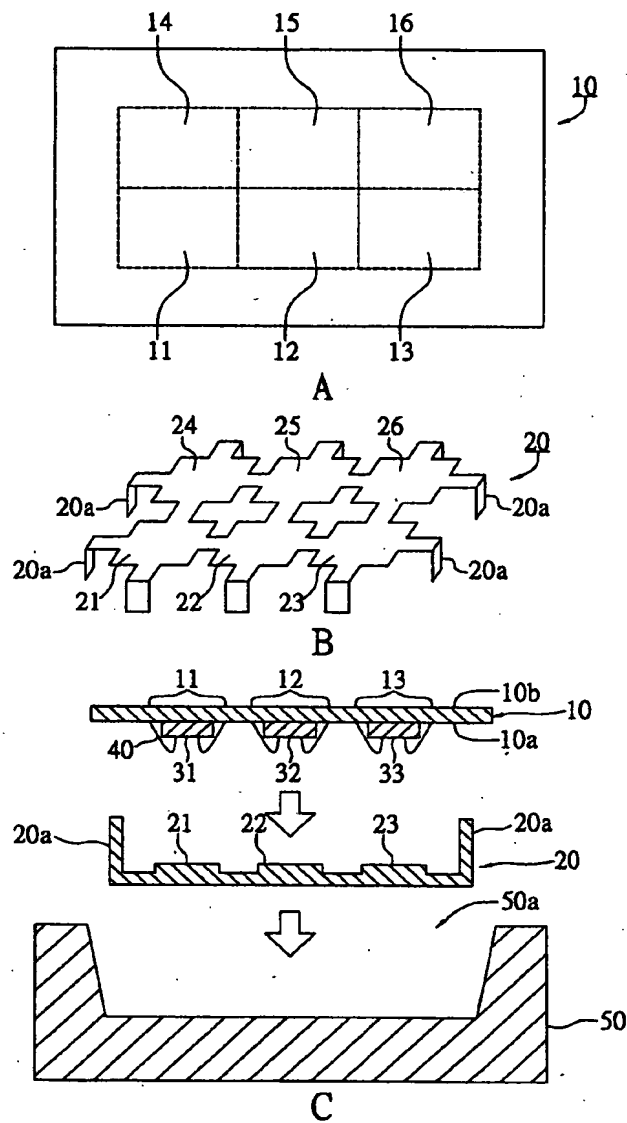
第七圖 A 至第七圖 C 為結構示意圖，其用以顯示本發明所採用之凸腳式散熱片架之另一實施方式及其用途；

第八圖 A 至第八圖 C 為結構示意圖，其用以顯示本發明所採用之凸腳式散熱片架之另一實施方式及其用途；

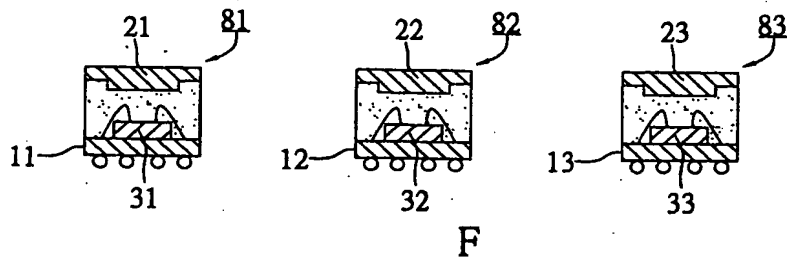
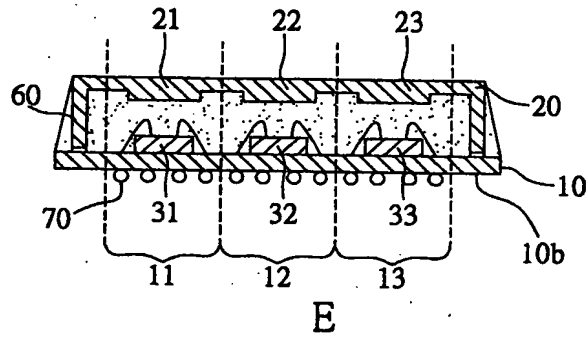
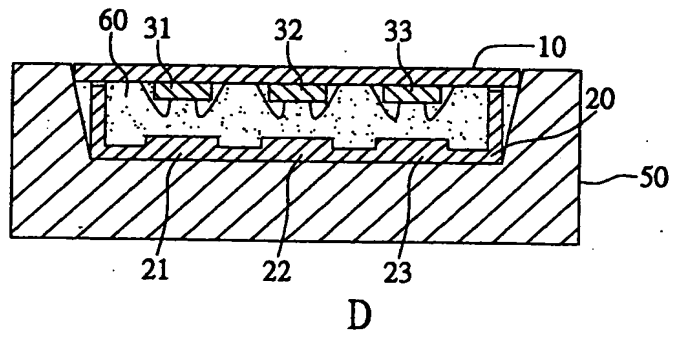
第九圖 A 至第九圖 C 為結構示意圖，其用以顯示本發明所採用之凸腳式散熱片架之另一實施方式及其用途；

第十圖 A 至第十圖 C 為結構示意圖，其用以顯示本發明所採用之凸腳式散熱片架之另一實施方式及其用途。

第一圖

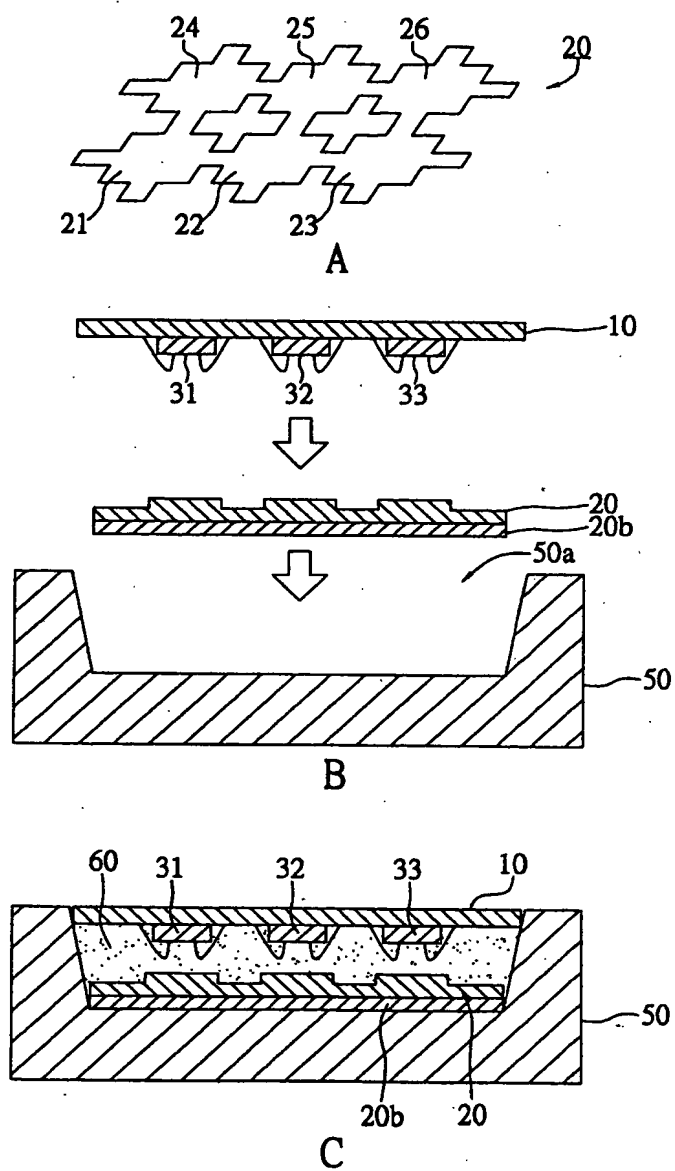


(4)



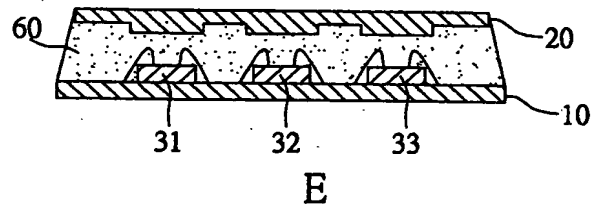
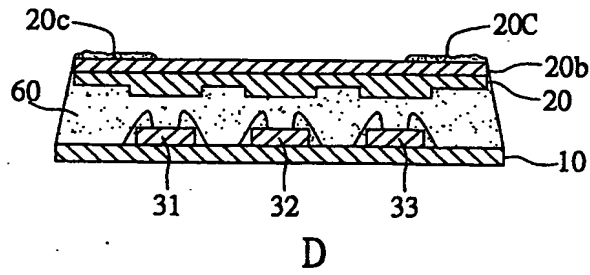
第一圖

(5)

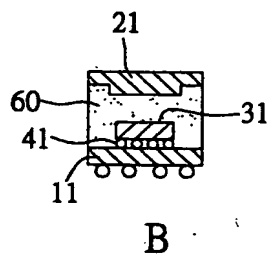
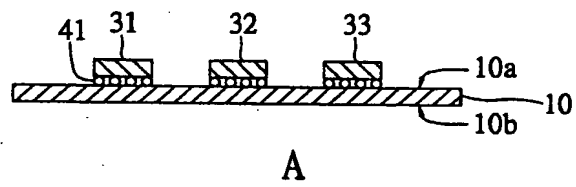


第二圖

(6)

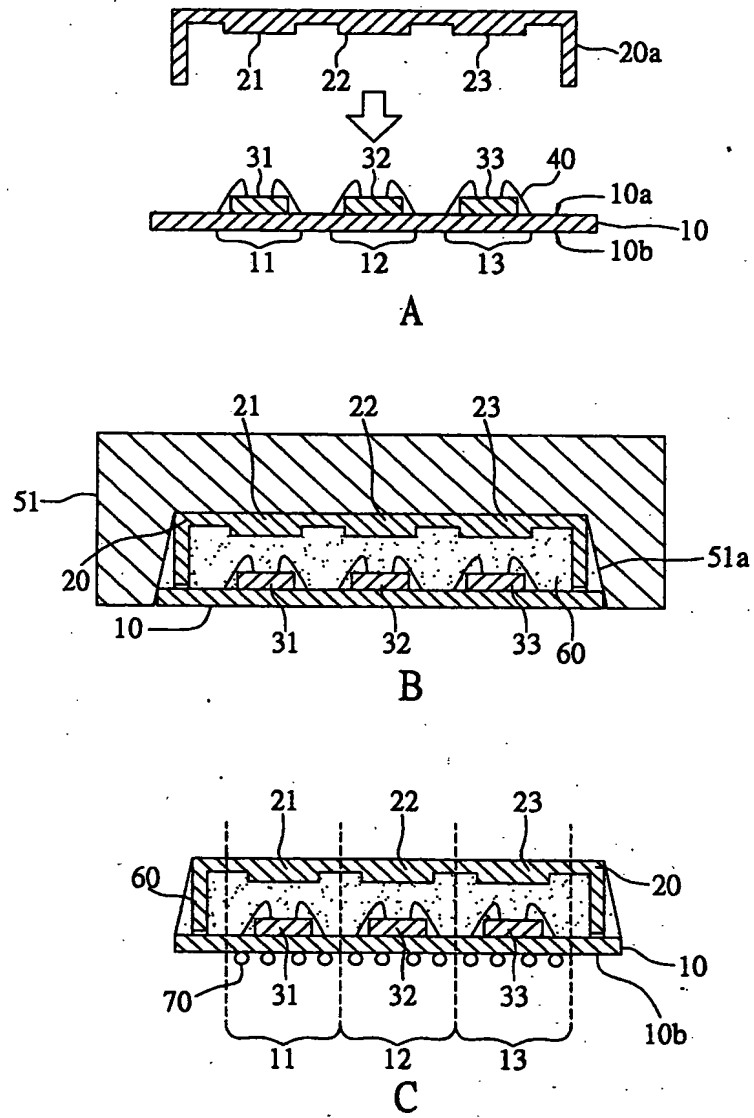


第二圖



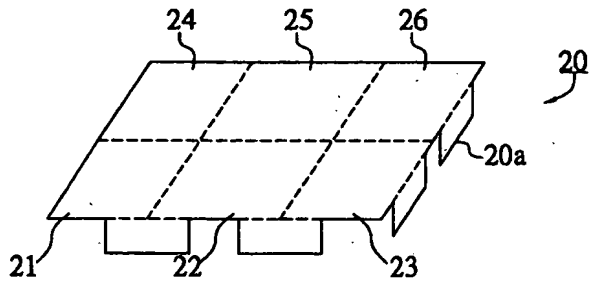
第四圖

(7)

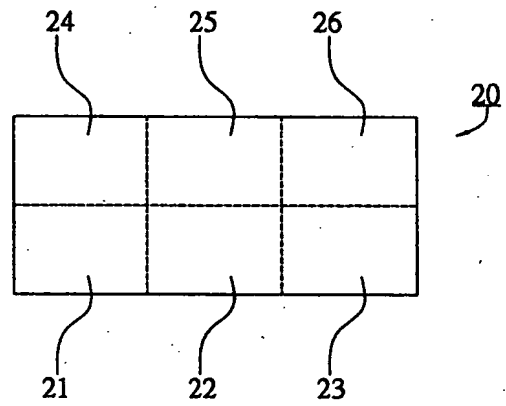


第三圖

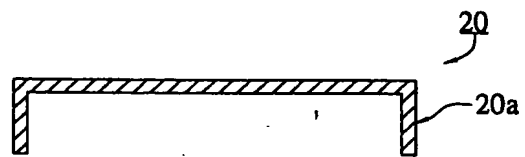
(8)



第五圖

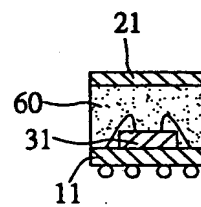


A



B

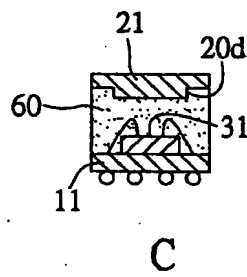
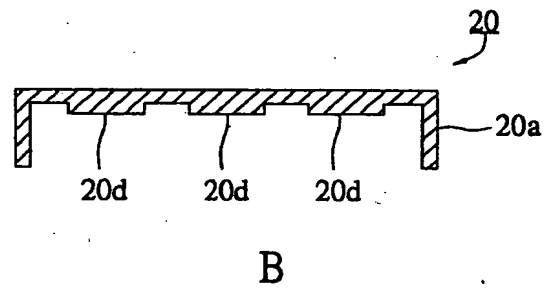
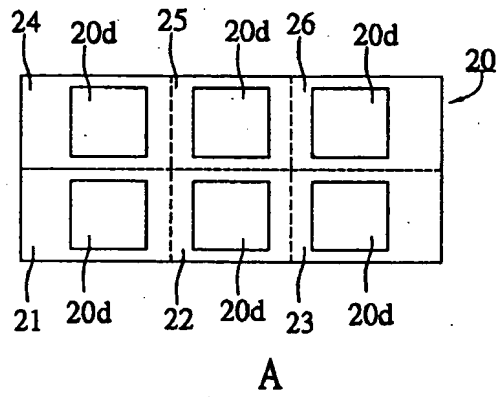
第六圖



C

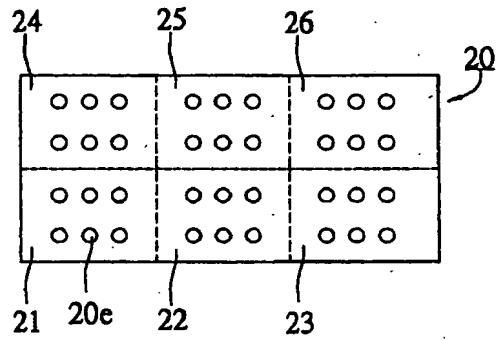


(9)

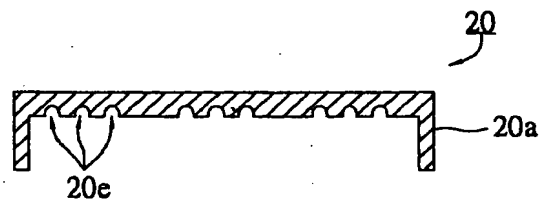


第七圖

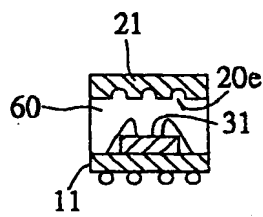
(10)



A



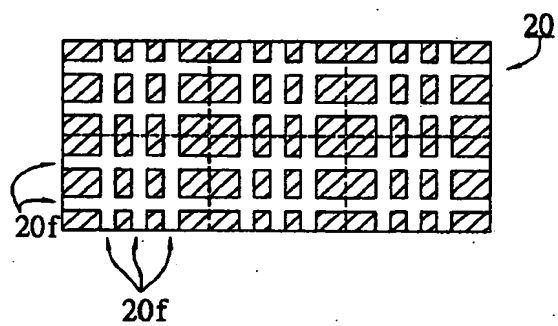
B



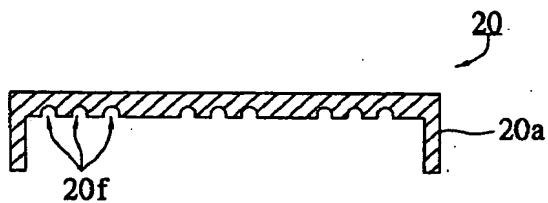
C

第八圖

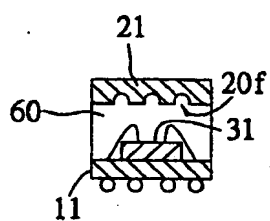
(11)



A



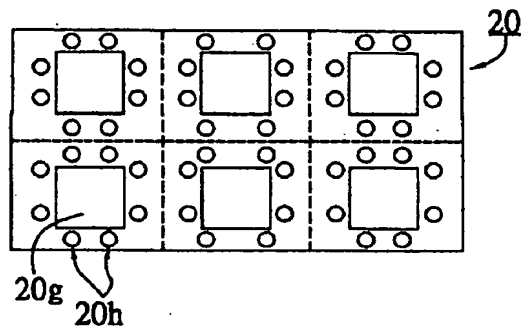
B



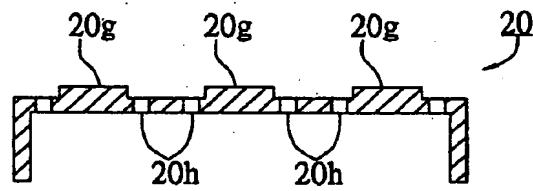
C

第九圖

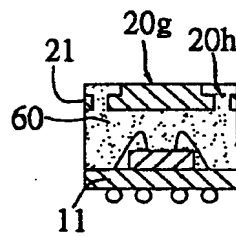
(12)



A



B



C

第十圖